

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-175586
(43)Date of publication of application : 29.06.2001

(51)Int.Cl.
G06F 13/36
G06F 3/00
G06F 13/16
G06F 15/78

(21)Application number : 11-362321

(71)Applicant : HITACHI LTD
HITACHI HOKKAI SEMICONDUCTOR LTD

(22)Date of filing : 21.12.1999

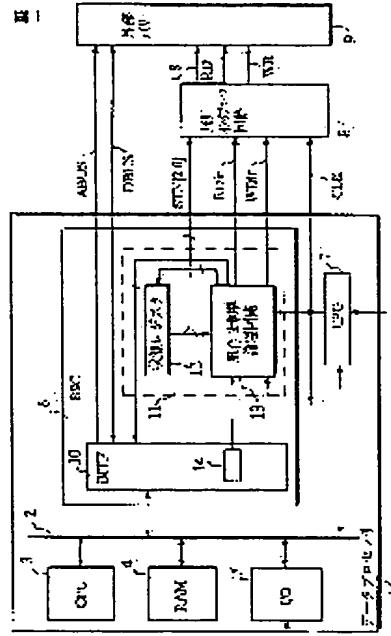
(72)Inventor : ICHIEN TORU
NISHINO TATSURO

(54) DATA PROCESSOR AND DATA PROCESSING SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a data processor, which can increase the flexibility of an interface of an external memory device or the like.

SOLUTION: A data processor 1 has a bus controller 6 for performing control for external bus access in response to the request of a central processing unit(CPU) 3. The bus controller has a finite state machine 11 for controlling the output of data direction signals (RDir and WDir) for instructing the data direction of external bus access, address output and data output on the basis of the transition of a state code (STN) of plural bits in response to the request of the CPU. The finite state machine outputs the state code to the outside. The data processor can generate strobe signals (CS, RD and WR) for instructing the assert, negate or others of the data direction at desired timing to a memory interface corresponding to the transition of the state code as desired. Thus, the flexibility of the interface to the external device is increased.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-175586

(P2001-175586A)

(43) 公開日 平成13年6月29日 (2001.6.29)

(51) Int.Cl.⁷
G 0 6 F 13/36
3/00
13/16
15/78

識別記号
3 1 0
5 2 0
5 1 0

F I
G 0 6 F 13/36
3/00
13/16
15/78

テ-マコト^{*} (参考)
3 1 0 D 5 B 0 6 0
M 5 B 0 6 1
5 2 0 A 5 B 0 6 2
5 1 0 D

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願平11-362321

(22) 出願日 平成11年12月21日 (1999.12.21)

(71) 出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(71) 出願人 0002233594

日立北海セミコンダクタ株式会社
北海道亀田郡七飯町字中島145番地

(72) 発明者 一圓 亨

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(74) 代理人 100089071

弁理士 玉村 静世

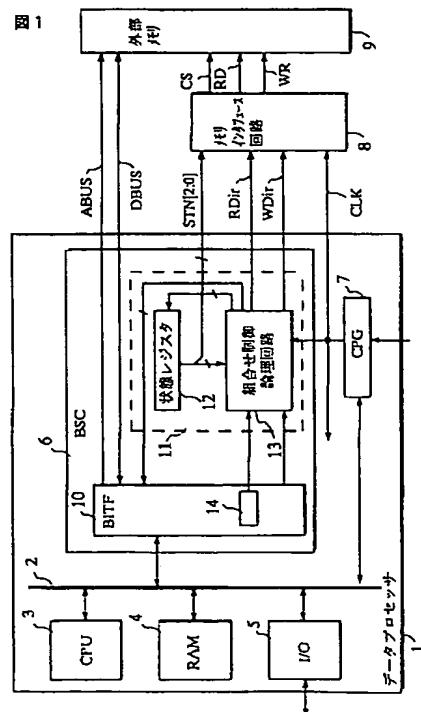
最終頁に続く

(54) 【発明の名称】 データプロセッサ及びデータ処理システム

(57) 【要約】

【課題】 外部メモリデバイス等に対するインターフェースの柔軟性を増すことができるデータプロセッサを提供する。

【解決手段】 データプロセッサ(1)は、中央処理装置(3)の要求に応答して外部バスアクセスのための制御を行うバスコントローラ(6)を有する。バスコントローラは、中央処理装置の要求に応答して、外部バスアクセスのデータ方向を指示するデータ・ディレクション信号(RDir, WDir)の出力、アドレス出力、及びデータ入出力を、複数ビットのステートコード(STN)の遷移に基いて制御する有限状態マシン(11)を有する。有限状態マシンは、前記ステートコードを外部に出力する。データプロセッサは、メモリインターフェース回路に対し、ステートコードの遷移に応じて所望のタイミングでデータディレクションのアサートやネゲート並びにその他の指示を与えるためのストローブ信号(CS, RD, WR)を所望に生成することを可能にする。これが、外部デバイスに対するインターフェースの柔軟性を増す。



【特許請求の範囲】

【請求項1】 バスコントローラと、前記バスコントローラを介して外部バスアクセスを要求可能な制御回路とを1個の半導体チップに有し、
前記バスコントローラは、前記制御回路の要求に応答して、外部バスアクセスのデータ方向を指示するデータ・ディレクション信号の出力、外部へのアドレス出力、及び外部との間のデータ入出力を制御すると共に、外部バスアクセス制御の開始に同期して複数ビットのステートコードを順次生成して外部に出力するものであることを特徴とするデータプロセッサ。

【請求項2】 命令を解読して実行する中央処理装置と、前記中央処理装置の要求に応答して外部バスアクセスのための制御を行うバスコントローラとを有し、
前記バスコントローラは、中央処理装置の要求に応答して、外部バスアクセスのデータ方向を指示するデータ・ディレクション信号の出力、アドレス出力、及びデータ入出力を、複数ビットのステートコードの遷移に基いて制御する有限状態マシンを有し、
前記有限状態マシンは、前記ステートコードを外部に出力するものであることを特徴とするデータプロセッサ。

【請求項3】 前記有限状態マシンは、外部バスサイクルを引き伸ばす動作サイクル数が前記中央処理装置によって指示される制御レジスタを有し、この制御レジスタで指定されるサイクル数の期間、ステートコードの遷移を抑止するものであることを特徴とする請求項2記載のデータプロセッサ。

【請求項4】 請求項3記載のデータプロセッサと、このデータプロセッサが接続される外部バスと、前記外部バスに接続されるメモリと、前記ステートコードと前記データ・ディレクション信号とを入力し、そのデコード結果に従って前記メモリのアクセス制御用ストローブ信号を生成するメモリインターフェース回路と、を含んで成るものであることを特徴とするデータ処理システム。

【請求項5】 前記メモリインターフェース回路は、前記ステートコードと前記データ・ディレクション信号とにに対するデコード論理をプログラム可能なプログラマブルデコーダを有して成るものであることを特徴とする請求項4記載のデータ処理システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、メモリなどの外部デバイスに対するインターフェースの柔軟性を考慮したデータプロセッサ及びデータ処理システムに関する。

【0002】

【従来の技術】 マイクロコンピュータやマイクロプロセッサなどのデータプロセッサにメモリをインターフェースするには、外部にメモリインターフェースコントローラを設けてメモリをインターフェースさせる技術、或いはデータプロセッサそれ自体がメモリインターフェースコントロ

ーラを内蔵させてデータプロセッサにメモリを直結可能にする場合の2通りの技術が提供されている。

【0003】 上記何れの技術においても特定のメモリをインターフェースさせることを企図してそのメモリインターフェース機能が決定されている。例えば単なるDRAM(ダイナミック・ランダム・アクセス・メモリ)とのインターフェースに特化されている場合には、情報記憶形式が全く異なるフラッシュメモリはもとより、クロック同期型のシンクロナスDRAMであってもインターフェースさせることができない場合が多い。

【0004】

【発明が解決しようとする課題】 本発明者の検討によれば、メモリデバイスの技術的進歩は速く、それにしたがってメモリデバイスのインターフェース仕様も変化しており、今後、大きな変化も予想される。このような状況において、データプロセッサにメモリインターフェース回路を内蔵する場合、そのような変化に対応するにはデータプロセッサそれ自体を修正しなければならず、早急な対応には限界がある。また、データプロセッサの外部にメモリインターフェース回路を設ける場合には、そのような変化に対してメモリインターフェース回路だけで対処することができるが、新たなメモリインターフェース仕様に適切に対応するには、データプロセッサのバス制御との関係を正確に把握することの必要性が本発明者によって見出された。従来のデータプロセッサは内部のバス制御の状態を直接外部に出力することはしていない。例えば、データプロセッサが有限状態マシンでバス制御を行っているときでも、その有限状態マシンのステートコードを外部に出力することはしていない。本発明者による上記検討事項はメモリデバイスだけでなく、データプロセッサによる外部バスアクセスの対象になるその他のデバイスにも当てはまる事柄である。

【0005】 本発明の目的は、メモリなどの外部デバイスに対するインターフェースの柔軟性を増すことができるデータプロセッサを提供することにある。

【0006】 本発明の別の目的は、新たなインターフェース仕様を有し、或いはインターフェース仕様が変化されたデバイスを用いるときでも、データプロセッサとのインターフェースを容易に実現できるデータ処理システムを提供することにある。

【0007】 本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0009】 すなわち、データプロセッサは、バスコントローラと、前記バスコントローラを介して外部バスアクセスを要求可能な制御回路とを1個の半導体チップに

有する。前記バスコントローラは、前記制御回路の要求に応答して、外部バスアクセスのデータ方向を指示するデータ・ディレクション信号の出力、外部へのアドレス出力、及び外部との間のデータ入出力を制御すると共に、外部バスアクセス制御の開始に同期して複数ビットのステートコードを順次生成して外部に出力する。

【0010】更に詳しい態様のデータプロセッサは、命令を解読して実行する中央処理装置と、前記中央処理装置の要求に応答して外部バスアクセスのための制御を行うバスコントローラとを有する。前記バスコントローラは、中央処理装置の要求に応答して、外部バスアクセスのデータ方向を指示するデータ・ディレクション信号の出力、アドレス出力、及びデータ入出力を、複数ビットのステートコードの遷移に基いて制御する有限状態マシンを有する。前記有限状態マシンは、前記ステートコードを外部に出力する。

【0011】上記データプロセッサは、バス制御を行う有限状態マシンのステートコードを外部に出力するから、外部でそのステートコードと前記データ・ディレクション信号とを入力し、ステートコードの遷移に対して所望のタイミングでデータディレクションのアサートやネゲート並びにその他の指示を与えるためのストローブ信号を所望に生成することを可能にする。したがって、上記データプロセッサは、メモリなどの外部デバイスに対するインターフェースの柔軟性を増すことができる。

【0012】前記有限状態マシンは、外部バスサイクルを引き伸ばす動作サイクル数が前記中央処理装置によって指示される制御レジスタを有し、この制御レジスタで指定されるサイクル数の期間、ステートコードの遷移を抑止してよい。これにより、データプロセッサの動作基準クロック信号に同期して外部でウェートステートを挿入する制御が容易になる。

【0013】データ処理システムは、前記データプロセッサと、このデータプロセッサが接続される外部バスと、前記外部バスに接続されるメモリと、前記ステートコードと前記データ・ディレクション信号とを入力し、そのデコード結果に従って前記メモリのアクセス制御用ストローブ信号を生成するメモリインターフェース回路と、を含んで構成される。

【0014】バス制御を行う有限状態マシンのステートコードを外部に出力するデータプロセッサを用いるから、新たなインターフェース仕様を有し、或いはインターフェース仕様が変化されたメモリデバイス等を用いるときでもデータプロセッサとのインターフェースを容易に実現できる。

【0015】前記メモリインターフェース回路は、前記ステートコードと前記データ・ディレクション信号とに対するデコード論理をプログラム可能なプログラマブルデコーダを有してよい。これにより、インターフェース仕様が変化され、或いはインターフェース仕様の新たなデバイ

スを用いるときに速い対応が可能になる。

【0016】

【発明の実施の形態】図1には本発明に係るデータプロセッサ及びこれを用いたデータ処理システムの一例が示される。同図に示されるデータプロセッサ1は、特に制限されないが、内部バス2に接続された中央処理装置(CPU)3、ランダム・アクセス・メモリ(RAM)4、入出力回路(I/O)5、バスコントローラ(BSC)6及びクロック・パルス・ジェネレータ(CPG)7を有し、単結晶シリコンのような1個の半導体基板(半導体チップ)に形成されている。前記データプロセッサ1はメモリインターフェース回路8を介して外部メモリ9に接続されている。

【0017】前記CPU3は、RAM4等から命令をフェッチし、これを解読して制御信号を生成し、前記制御信号にしたがってオペランドのレジスタロード、ロードされたデータの演算、演算結果のメモリストアなどを行って、データプロセッサ1を全体的に制御する。

【0018】前記RAM4はCPU3のメインメモリなどに利用される。I/O5はタイマ・カウンタ若しくはシリアルインターフェースなどの機能を有する。クロックパルスジェネレータ7は外付けの振動子を利用した発振信号から動作基準クロック信号CLKを生成し、CPU3やBSC6等の内蔵回路の同期クロック信号として利用され、外部にはシステムクロック信号として出力される。

【0019】前記BSC6は、バスインターフェース回路(BITF)10及び状態制御マシン(FSM)11を有する。バスインターフェース回路10は、外部アドレスバスABUS及び外部データバスDBUSを内部バス2にインターフェースする。内部バス2は、アドレスバス、データバス、制御バスを総称する。CPU3が外部メモリ9のアクセス空間に向けたアクセスを行う場合、内部バス2から供給されるアドレス信号のアドレスエリアに基いてバスインターフェース回路10が外部バスアクセスの要否を判定する。BSC6は内部バス2を介してCPU3によってリード・ライトアクセス可能な制御レジスタ14を有する。この制御レジスタ14には外部アドレス空間のアドレスマッピング情報を有する。また、制御レジスタ14は、外部バスサイクルを引き伸ばす動作サイクル数の情報(引き延ばしサイクル数情報)が設定される。この引き延ばしサイクル数情報は、特に制限されないが、アドレスマッピング情報で特定されるアドレスエリア毎に設定可能であつてよい。

【0020】前記状態制御マシン11は、状態レジスタ12と組合せ制御論理回路13とを有する。状態レジスタ12は組合せ制御論理回路13から供給される複数ビット例えば3ビットのステートコードSTNを保持し、これを現在のステートコードSTNとして組合せ制御論理回路13に戻す。状態レジスタ12から出力されるス

データコードSTNはそのまま外部にも出力される。前記組合せ制御論理回路13は、CPU3の外部バスアクセス要求に応答して、外部バスアクセスのデータ方向を指示するデータ・ディレクション信号としてのリードディレクション信号Rdir及びライトディレクション信号Wdirの出力、バスインタフェース回路10による外部アドレスバスABUSへのアドレス出力、及びバスインタフェース回路10による外部データバスDBUSに対するデータ入出力を、前記ステートコードのSTNの遷移及び前記制御レジスタ14の設定値に基いて制御する。

【0021】ここで、前記組合せ制御論理回路13の制御論理を図2を参照しながら説明する。3ビットのステートコードSTNによって示される状態は例えばステート0からステート4までの5通りとされる。ステート4の次はステート0にリセットされる。各ステートの1サイクルはクロック信号CLKの1サイクルとされる。CPU3からの外部アクセス要求を検出すると、これに応答して、ステート0を順次ステート1からステート4まで遷移させる。このとき、リードディレクション信号Rdir、ライトディレクション信号Wdirはステート1の最初からステート4の最後までアサートする。リードアドレス、ライトアドレスの出力もステート1の最初からステート4の最後までとされる。ライトデータの出力はステート2の最初からステート4の最後までとされる。引き延ばしサイクル数がnの場合にはステート3の状態をnサイクル維持する。

【0022】前記外部メモリ9は、特に制限されないが、アクセスストローブ信号としてチップセレクト信号CS、リード信号RD、ライト信号WRを必要とする。外部メモリ9のリード・ライト動作において前記ストローブ信号CS、RD、WRに要求されるタイミングは、例えば図2に例示される通りとする。

【0023】前記メモリインタフェース回路8は、前記ステートコードSTN、前記データ・ディレクション信号Rdir、Wdirとを入力し、そのデコード結果に従って前記外部メモリ9のアクセス制御用ストローブ信号CS、RD、WRを生成する。

【0024】図3には前記メモリインタフェース回路8の一例が示される。メモリインタフェース回路8は、デコーダ20及びラッチ回路21～25によって構成される。前記デコーダ20は、前記ステートコードSTN、前記データ・ディレクション信号Rdir、Wdirの状態に応じて信号CS-DEC、RD-DEC、WR-DECを生成する。

【0025】デコーダ20による電気生成論理の真理値は図4に例示される。例えばステート0においては入力の如何に拘わらず出力は全て“0”にネゲートされる。ステート1においては当該ステートに入ることを条件にチップ選択信号CSがアサートされ、Rdirがアサー

トされていればRD-DECがアサートされ、WdirがアサートされていればWR-DECがアサートされる。

【0026】前記信号CS-DEC、RD-DEC、WR-DECを入力する前記ラッチ回路21～23がクロック信号CLKの立ち上がりエッジに同期してラッチ動作を行い、前記ラッチ回路24、25がクロック信号CLKの立ち下がりエッジに同期してラッチ動作を行うことにより、前記ストローブ信号CS、RD、WRが生成される。

【0027】前記デコーダ20に、不揮発性記憶素子を電気的にプログラムする事によって所望の制御論理を構成する事が可能なプログラマブル・ロジック・アレイ(PLA)若しくはフィールド・プログラマブル・ゲート・アレイ(FPGA)を採用すれば、容易に所望の論理を構成することができる。尚、PLA、FPGALはそれ自体公知であるからその詳細な説明を省略する。

【0028】図2には上記メモリインタフェース回路8の制御論理を介してデータプロセッサ1が外部メモリ9をリード・ライトアクセスするときのタイミングチャートが示される。図2より明らかなように、データプロセッサ1が有限状態マシンを介して出力する信号Rdir、Wdir及びステートコードSTNに対して、外部メモリ9が必要とするタイミングのストローブ信号CS、RD、WRをメモリインタフェース回路8で生成して、外部メモリ9のアクセスが行われる。例えば、時刻t0から時刻t5までのリードサイクルにおいて、当該サイクル期間にリードアドレスが outputされ、信号Rdirがアサートされ、ステート0からステート4が刻まれる。このとき、時刻t1から時刻t5の間にチップセレクト信号CSによって外部メモリ9がチップ選択状態にされ、時刻t2からt4の期間にリード信号RDがアサートされ、それによって外部メモリ9は時刻t3から時刻t4の期間にデータバスDBUSにリードデータを出力する。時刻t10から時刻t14までのライトサイクルにおいて、当該サイクル期間に信号Rdirがアサートされ、ステート0からステート4が刻まれる。時刻t11から時刻t14の期間にはライトアドレスが outputされる。この時刻t11から時刻t14の間にチップセレクト信号CSによって外部メモリ9がチップ選択状態にされ、時刻t12からt13の期間にライト信号WRがアサートされ、その期間を利用して、データバスDBUS上のライトデータが外部メモリに書き込まれる。

【0029】以上の説明より明らかのように、上記データプロセッサ1は、バス制御を行う有限状態マシン11のステートコードSTNを外部に出力するから、外部でのステートコードSTNと前記データ・ディレクション信号Rdir、Wdirとを入力し、ステートコードSTNの遷移に対して所望のタイミングで、データディレクションのアサートやネゲート並びにその他の指示を

与えるストローブ信号を所望に生成することが可能になる。したがって、上記データプロセッサ1は、メモリデバイス9に対するインターフェースの柔軟性を増すことができる。

【0030】前記有限状態マシン11は、前記制御レジスタ14で指定される引き延ばしサイクル数の期間、ステートコードSTNの遷移を抑止する事ができる。例えば、外部メモリ9のアクセス動作がクロック信号CLKの6サイクルを要するものであるとき、前記制御レジスタ14に引き延ばしサイクル数=2を設定すれば、ステートコードは、1, 2, 3, 3, 3, 4の順に遷移され、結果として図4の論理を有するメモリインターフェース回路8は、ストローブ信号CS, RD, WRのアサート期間を2サイクル延ばすことができる。これにより、メモリインターフェース回路8は、ウェイタステートを容易に挿入することが可能になる。

【0031】図1に示されるように、バス制御を行う有限状態マシン11のステートコードSTNを外部に出力するデータプロセッサ1を用いてデータ処理システムを構成することにより、新たなインターフェース仕様を有し、或いはインターフェース仕様が変化されたメモリなどのデバイスを用いるときでもデータプロセッサ1とのインターフェースを容易に実現できる。前記デコーダ20をPLA, FPGAなどで構成することにより、外部メモリ9のインターフェース仕様が変化され、或いはインターフェース仕様の新たな外部メモリ9を用いるとき特に迅速に対応が可能になる。

【0032】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0033】例えば、メモリインターフェース回路の論理構成、並びに outputするストローブ信号の種類などは上記の例に限定されず適宜変更可能である。ステートコードは3ビットに限定されず任意に複数ビットであればよい。また、外部デバイスはメモリに限定されず、メモリカードコントローラやシリアルインターフェースなどのI/Oデバイスであってもよい。また、データプロセッサの内蔵回路や内部バスの構成は図1に限定されず、アドレス変換機構、キャッシュメモリ等を有してもよい。更に、バスコントローラに外部バスアクセスを要求する回路モジュールはCPUに限定されず、データプロセッサに内蔵されたダイレクト・メモリ・アクセス・コントローラやデータ・トランസファ・コントローラ等であってもよい。

【0034】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0035】すなわち、データプロセッサは、バス制御を行う有限状態マシンのステートコードを外部に出力するから、外部でそのステートコードの遷移に対して所望のタイミングでデータディレクションのアサートやネゲート並びにその他の指示を与えるためのストローブ信号を所望に生成することを可能になる。したがって、上記データプロセッサは、メモリなどの外部デバイスに対するインターフェースの柔軟性を増すことができる。

【0036】新たなインターフェース仕様を有し、或いはインターフェース仕様が変化されたメモリなどのデバイスを用いるときでもデータプロセッサとのインターフェースを容易に実現してデータ処理システムを構成することができる。

【図面の簡単な説明】

【図1】本発明に係るデータプロセッサ及びこれを用いたデータ処理システムの一例を示すブロック図である。

【図2】メモリインターフェース回路の制御論理を介してデータプロセッサが外部メモリをリード・ライトアクセスするときの動作を例示するタイミングチャートである。

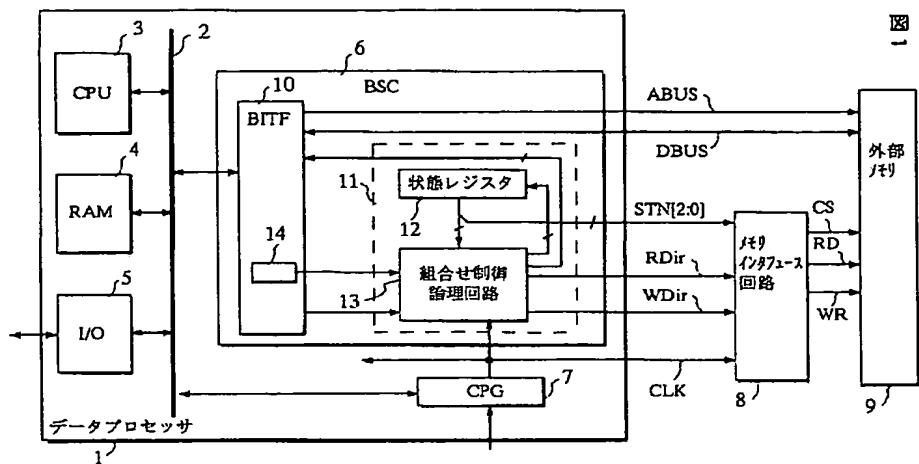
【図3】メモリインターフェース回路の一例を示すブロック図である。

【図4】デコーダによる信号生成論理の真理値を示す説明図である。

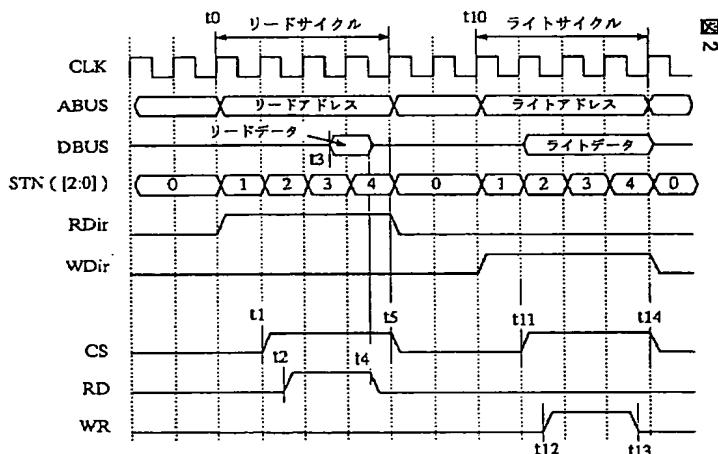
【符号の説明】

- 1 データプロセッサ
- 2 内部バス
- 3 CPU
- 6 バスコントローラ
- 7 クロックパルスジェネレータ
- 8 メモリインターフェース回路
- 9 外部メモリ
- 10 バシインターフェース回路
- 11 状態制御マシン
- 12 状態レジスタ
- 13 組合せ制御論理回路
- 14 制御レジスタ
- CLK 動作基準クロック信号
- Rdir リードディレクション信号
- WDir ライトディレクション信号
- STN ステートコード
- CS チップセレクト信号
- RD リード信号
- WR ライト信号
- ABUS アドレスバス
- DBUS データバス
- 20 デコーダ
- 21~25 ラッチ回路

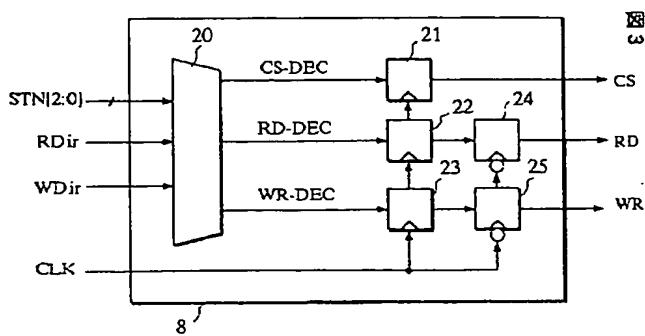
【図1】



【図2】



【図3】



BEST AVAILABLE COPY

【図4】

入力	STN([2:0])	ステート0		ステート1		ステート2		ステート3		ステート4		出力
		0	1	0	1	0	1	0	1	0	1	
	RDir	0	1	*	0	1	*	0	1	*	0	1
	WDir	0	1	*	0	1	*	0	1	*	0	1
出力	CS-DEC	0	0	0	1	1	1	1	1	1	0	0
	RD-DEC	0	0	0	0	0	1	0	0	1	0	0
	WR-DEC	0	0	0	0	1	0	0	1	0	0	0

フロントページの続き

(72) 発明者 西野 辰郎

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

F ターム (参考) 5B060 CC01 MB00

5B061 FF01 GG02 RR03

5B062 AA10 CC01 FF02 FF04